

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L5: Entry 298 of 298

File: JPAB

Feb 29, 1988

PUB-NO: JP363047980A
DOCUMENT-IDENTIFIER: JP 63047980 A
TITLE: MANUFACTURE OF THIN FILM TRANSISTOR

PUBN-DATE: February 29, 1988

INVENTOR-INFORMATION:

NAME

COUNTRY

HIRANAKA, KOICHI

YOSHIMURA, TETSUZO

YAMAGUCHI, TADAHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP61191691

APPL-DATE: August 18, 1986

US-CL-CURRENT: 257/E29.273; 257/E29.288, 257/E29.293, 438/662, 438/FOR.333
INT-CL (IPC): H01L 29/78; H01L 21/20; H01L 21/263; H01L 27/12

ABSTRACT:

PURPOSE: To be able to form a thin film transistor in a large area in a high speed operation and to further manufacture the transistor having less OFF current by melting a part of a polycrystalline silicon or amorphous silicon semiconductor layer by irradiating a light or locally heating it to activate it, and composing two layers of activated and nonactivated regions.

CONSTITUTION: A polycrystalline or amorphous silicon semiconductor layer 15 is formed on an insulating substrate 10 on which source and drain electrodes S, D are formed, and the layer 15 is partly melted by irradiating a light or locally heating to be activated to form a 2-layer structure of an active region 15b and a nonactive region 15a. For example, after source and drain electrodes S, D are formed through an insulating film 11 on the substrate 10, a polycrystalline or amorphous silicon is deposited as the layer 15, a pattern is formed by a photolithography, a gate insulating film is partly melted to be activated by irradiating a laser or an electron beam 14 or a locally heating method of an infrared ray heater, and crystal grains are grown to form the region 15b. Thereafter, a gate insulating film 16, a gate electrode 17 and metal electrodes 18, 19 are formed.

COPYRIGHT: (C)1988, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-47980

⑮ Int. Cl.⁴

H 01 L 29/78
21/20
21/263
27/12

識別記号

3 1 1

庁内整理番号

Z-8422-5F
7739-5F

⑬ 公開 昭和63年(1988)2月29日

7514-5F 審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑰ 特 願 昭61-191691

⑱ 出 願 昭61(1986)8月18日

⑲ 発 明 者 平 中 弘 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 吉 村 徹 三 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. ソース電極(S)及びドレイン電極(D)が形成された絶縁基板(10)上に多結晶シリコン又は非晶質シリコンの半導体層(15)を形成する工程と、

上記半導体層(15)の一部を光照射あるいは局所加熱により融解し活性化させ、活性領域(15b)と非活性領域(15a)の2層構成とする工程を含む薄膜トランジスタの製造方法。

2. 上記融解手段が電子線、レーザー、赤外線ヒータであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 上記融解の際、半導体層(15)がパターン形成された後、融解を行なうことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

4. 上記融解の際、ゲート絶縁膜(16)の堆積後

に融解を行なうことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(概 要)

薄膜トランジスタの製造方法であって、基板上に形成された多結晶シリコン又は非晶質シリコンの半導体層のゲート絶縁膜側の一部を光照射あるいは局所加熱により融解し活性化させ、活性化領域と非活性化領域の2層構成とすることにより、高速で動作でき且つオフ電流の低い薄膜トランジスタを低温で製造することを可能とする。

(産業上の利用分野)

本発明は薄膜トランジスタの製造方法に関するもので、さらに詳しく言えば高速かつオフ電流の低い薄膜トランジスタを低温で作製できる薄膜トランジスタの製造方法に関するものである。

従来の薄膜トランジスタとしては非晶質シリコン薄膜トランジスタが知られている。この非晶質薄膜トランジスタは大面积に低温で形成可能なこ

とから液晶表示用アクティブ・マトリックス・スイッチに用いられるが電界効果移動度が高々 $1\text{ cm}^2/\text{Vs}$ と小さいため大面積デバイスの駆動回路に要求される動作周波数($>1\text{ MHz}$)が得られない。このため大面積に形成可能で且つ高速動作のできる薄膜トランジスタが要望されている。このため多結晶シリコンの半導体層をレーザを用いて活性化させた薄膜トランジスタが開発されている。

(従来の技術)

第3図は上記の多結晶シリコン半導体層をレーザを用いて活性化させる薄膜トランジスタの製造方法を示す図である。この方法は先ずa図の如く基板1の上に絶縁膜2及び多結晶シリコン又は非晶質シリコンの半導体層3を形成し、この半導体層3にレーザ光4を照射して活性化させる。次にb図の如くソース電極5及びドレイン電極6を形成し、その上にゲート絶縁膜7を形成し、最後にc図の如くゲート電極8及びソースドレイン電極からの引出し電極5a, 6aを形成するのである。

(作用)

光照射あるいは局所加熱により多結晶シリコン又は非晶質シリコンの一部を活性化させて活性化領域と非活性化領域の2層構造とすることにより低温での作製が可能となり、且つ非活性化領域の高抵抗によりオフ電流の抑制が可能となる。

(実施例)

第1図は本発明の実施例の薄膜トランジスタの製造方法を説明するための図であり、a~gはその工程説明図である。

本実施例の方法は、先ずa図に示すようにガラス等の絶縁基板10上にプラズマCVD法、光CVD法またはスパッタ法により絶縁膜11を形成する。絶縁膜11には酸化シリコン膜、あるいは窒化シリコン膜または酸窒化シリコン膜を用い膜厚は500~1000Åが望ましい。次にb図の如く下部電極膜12を形成し、その上にプラズマCVD法またはスパッタ法により不純物をドーピングした多結晶シリコンまたは非晶質シリコン13を

(発明が解決しようとする問題点)

上記従来の製造方法では薄膜トランジスタを大面積に低温で形成可能であるが第3図bに示す工程で結晶粒界が全領域に広がり粒界で電流経路が形成され、オフ電流の増大を招くという欠点がある。

本発明はこのような点に鑑みて創作されたもので、大面積に形成可能で且つ高速動作ができ、さらにオフ電流の少ない薄膜トランジスタを作製可能な製造方法を提供することを目的としている。

(問題点を解決するための手段)

このため本発明においては、ソース電極S及びドレイン電極Dが形成された絶縁基板10上に多結晶シリコン又は非晶質シリコンの半導体層15を形成する工程と、前記半導体層15の一部を光照射あるいは局所加熱により融解し活性化させ、活性領域15bと非活性領域15aの2層構成とする工程とを含むことを特徴としている。

~300Å堆積する。不純物としてはP, B等が用いられる。また下部電極膜としてはCr, Ti, Ni-Cr, Al, ITO等が用いられる。その後c図のように通常のホトリソグラフィを用い下部電極膜12とシリコン膜13からソース電極Sとドレイン電極Dを形成し、然る後にソース電極S及びドレイン電極Dの多結晶シリコンまたは非晶質シリコン13をレーザ又は電子線14の照射により融解活性化させる。次にd図の如く半導体層15として多結晶シリコンまたは非晶シリコンを1000~3000Åの厚さにプラズマCVD法またはスパッタ法または光CVD法により堆積し、次いでe図の如く通常のホトリソグラフィを用いてパターン形成後レーザ又は電子線14の照射または赤外線ヒータの局所加熱法によりゲート絶縁膜側の一部、即ちソース・ドレイン電極S, Dの反対側の一部(厚さ500Å~1500Å)を融解活性化させ、結晶粒を成長させ、活性領域15bを形成する。ソース・ドレイン電極側には活性化しない領域15aが残り、該部は高抵抗のままである。なお活性化

領域形成の制御は、レーザを用いる場合は励起光源と波長と半導体層の吸収係数の関係により所望の領域のみ活性化でき、電子ビームの場合はエネルギーと走査時間により活性化領域を制御できる。

次にf図の如くゲート絶縁膜16をプラズマCVD法、または光CVD法、あるいはスパッタ法により厚さ3000Å～5000Åを堆積する。ゲート絶縁膜16としては酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜のいずれか、またはこれらの膜からなる多層膜を用いる。次いでゲート電極17をスパッタ法または電子ビーム蒸着法により厚さ1000～2000Åに堆積しパターン形成する。最後にg図の如くソース電極S及びドレイン電極D上のゲート絶縁膜16にスルーホールを形成し、金属電極18, 19をスパッタ法あるいは電子ビーム蒸着法により成膜後パターン形成する。ゲート電極17およびソース・ドレインの金属電極18, 19にはAl, Ni-Cr, Cr, Ti, Mo, Ta, ITO等が用いられる。

本実施例はこのようにして低温で薄膜トランジ

スタを製造することができる。また本実施例方法により作製された薄膜トランジスタは高速動作ができ、且つ多結晶シリコン又は非結晶シリコンの半導体層15のソース・ドレイン電極S, D側に高抵抗の非活性層15aが残っているためオフ電流が小さい。

第2図は本発明の他の実施例を説明するための図であり、a～fはその工程説明図である。同図において第1図と同一部分は同一符号を付して示した。

本実施例が前実施例と異なるところは、第1図のe工程で行なった半導体層15のゲート絶縁膜側の融解を第2図eの如くゲート絶縁膜堆積後に行なうことである。

本実施例によれば半導体層15とゲート絶縁膜16を連続して堆積することができるので、該界面に生ずる単位を 10^{-10}cm^2 まで減小できる。従ってしきい値電圧のばらつきのない製品が得られる。また半導体層15に接する側のゲート絶縁膜16中に存在する水素が半導体層融解の際に生ず

る結晶粒界のダングリングボンドを水素化し、従って電界効果移動度のより大なる薄膜トランジスタを得ることができる。

なお以上の実施例は薄膜トランジスタを用いて説明したが、三次元回路用SOI技術にも適用できる。また半導体層に混入する不純物及び濃度によりnチャンネル、pチャンネルのいずれでも形成可能である。

(発明の効果)

以上述べてきたように本発明によれば、半導体層の一部をレーザ、電子線等の照射又は赤外線ヒータによる局所加熱により活性化させることによりオフ電流の少ない薄膜トランジスタを低温で作製でき、実用的には極めて有用である。

4. 図面の簡単な説明

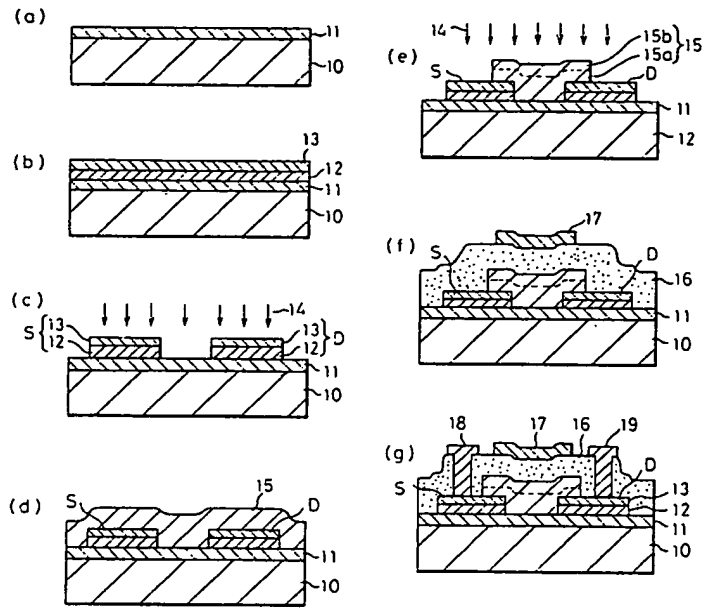
第1図は本発明の実施例を説明するための図、
第2図は本発明の他の実施例を説明するための図、

第3図は従来の薄膜トランジスタの製造方法を

説明するための図である。

第1図、第2図において、

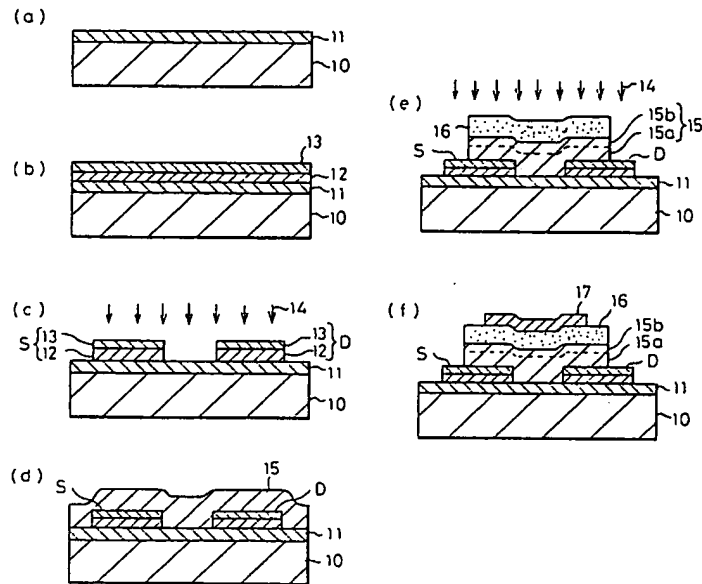
- 10は基板、
- 11は絶縁膜、
- 12は下部電極膜、
- 13は不純物をドーピングしたシリコン膜、
- 14はレーザ又は電子線、
- 15は多結晶シリコン又は非晶質シリコンの半導体層、
- 15aは半導体層の非活性領域、
- 15bは半導体層の活性領域、
- 16はゲート絶縁膜、
- 17はゲート電極、
- 18, 19は金属電極、
- Sはソース電極、
- Dはドレイン電極である。



本発明の実施例を説明するための図

第 1 図

- 10... 基 板
- 11... 絶縁膜
- 12... 下部電極膜
- 13... 不純物をドーピングしたシリコン膜
- 14... レーザ又は電子線
- 15... 半導体層
- 15a... 非活性領域
- 15b... 活性領域
- 16... ゲート絶縁膜
- 17... ゲート電極
- 18, 19... 金属電極
- S... ソース電極
- D... ドレイン電極



本発明の他の実施例を説明するための図

第 2 図

- 10... 基 板
- 11... 絶縁膜
- 12... 下部電極
- 13... 不純物をドーピングしたシリコン膜
- 14... レーザ光
- 15... 半導体層
- 15a... 非活性領域
- 15b... 活性領域
- 16... ゲート絶縁膜
- 17... ゲート電極
- S... ソース電極
- D... ドレイン電極